

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

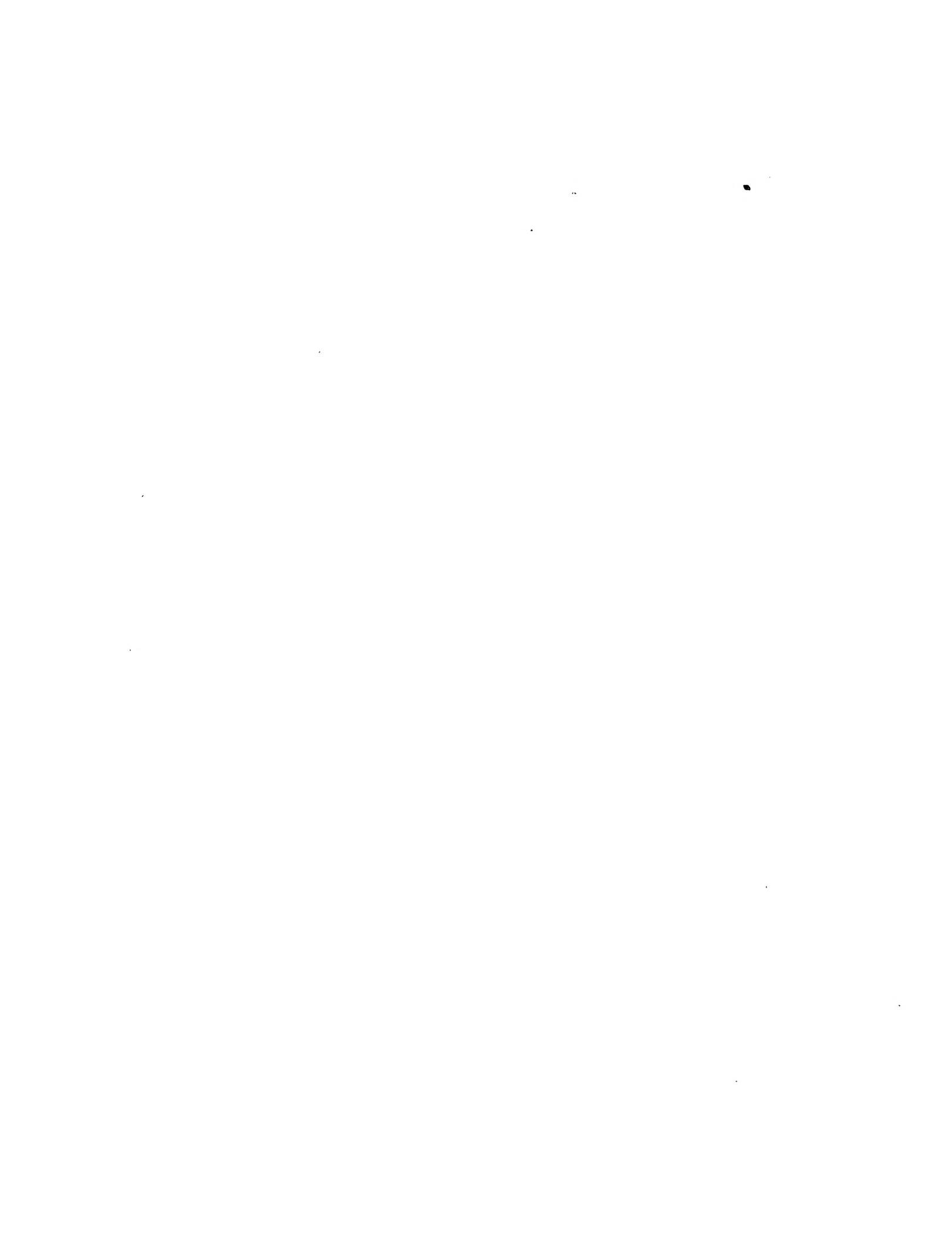
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-056283
 (43)Date of publication of application : 24.02.1992

(51)Int.Cl.

H01L 29/788
 H01L 27/115
 H01L 29/792

(21)Application number : 02-167157

(22)Date of filing : 25.06.1990

(71)Applicant : MATSUSHITA ELECTRON CORP

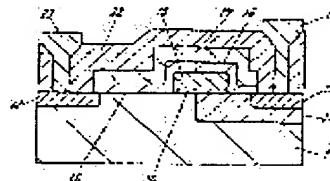
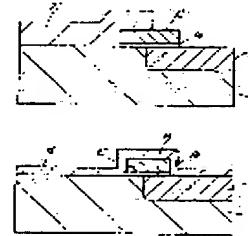
(72)Inventor : SATO KAZUO
 ARAI KATSUJIROU

(54) SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: Not only to enable a drain region to be kept high in breakdown strength but also to ensure the occurrence of hot electrons by a method wherein a third diffusion layer is provided to the drain region.

CONSTITUTION: A thin silicon oxide film 14 serving as a gate insulating film and a floating gate electrode 15 formed of a first silicon film are formed on a P-type silicon substrate, phosphorus ions are implanted using the floating gate electrode 15 and a photoresist 21 as a mask, and after the photoresist 21 is removed, a deep N-type diffusion layer 18 is formed through a thermal treatment performed at a high temperature. In succession, a silicon oxide film 16 serving as a layer insulating film is formed so as to electrically insulate the gate insulating film and the floating gate electrode 15, a second polysilicon film is formed on the silicon oxide film 16, and a control gate electrode 17 is provided through photoetching. Thereafter, arsenic ions are implanted to form N-type diffusion layers 12 and 13 which are made to serve as a source and a drain region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報 (A)

平4-56283

⑤Int.Cl.⁵H 01 L 29/788
27/115
29/792

識別記号

庁内整理番号

⑩公開 平成4年(1992)2月24日

7514-4M H 01 L 29/78 371
8831-4M 27/10 434

審査請求 未請求 請求項の数 4 (全7頁)

④発明の名称 半導体記憶装置およびその製造方法

②特 願 平2-167157

②出 願 平2(1990)6月25日

②発明者 佐藤 和夫 大阪府門真市大字門真1006番地 松下電子工業株式会社内

②発明者 新井 克次郎 大阪府門真市大字門真1006番地 松下電子工業株式会社内

②出願人 松下電子工業株式会社 大阪府門真市大字門真1006番地

②代理 人 弁理士 栗野 重孝 外1名

明細書

1、発明の名称

半導体記憶装置およびその製造方法

2、特許請求の範囲

(1) 一導電型の半導体基板と、前記半導体基板表面に形成された前記半導体基板と逆導電型の第1および第2の拡散層と、前記第2の拡散層を少なくとも含むように形成された第3の拡散層と、前記第1の拡散層の前記第2の拡散層側の側端と前記第2の拡散層の前記第1の拡散層側の側端間に少なくとも形成された第1及び第2の絶縁膜と、前記第2の絶縁膜上に形成された第1の電極と、前記第1の絶縁膜上に形成された第2の電極を備え、前記第2の絶縁膜が、前記第1の拡散層の前記第3の拡散層側の側端間の一部と前記第2の拡散層の前記第1の拡散層側の側端間の一部に少なくとも形成されていることを特徴とする半導体記憶装置。

(2) 第1の絶縁膜が少なくとも前記第1の拡散層と前記第2の拡散層上に形成されていることを

特徴とする請求項1記載の半導体記憶装置。

(3) 第1の絶縁膜の膜厚が、前記第2の絶縁膜の膜厚より厚いことを特徴とする請求項2記載の半導体記憶装置。

(4) 半導体基板主面上の所定領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の電極を形成する工程と、前記半導体基板主面の所定領域にレジストを形成する工程と、前記半導体基板主面の全面にイオン注入を行い第1の拡散層を形成する工程と、前記半導体基板主面および前記第1の電極上の所定位置に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第2の電極を形成する工程と、前記半導体基板主面全面にイオン注入する工程を備えたことを特徴とする半導体記憶装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、電気的に書き込み消去可能なEEPROM (Electrically Erasable and Programmable ROM) に適した半導体記憶装置およびその製造方法に関するものである。

するものである。

従来の技術

従来、電気的書き込み消去が可能な不揮発性メモリ素子の一つとして、書き込み消去とともにフォーラーノルドハイム (Fowler-Nordheim) トンネリング機構により行なうフローティングゲート型電界トランジスタからなる不揮発性メモリトランジスタがよく知られている。このフローティングゲート型の不揮発性メモリトランジスタは、拡散層上の 100 \AA 程度の薄い絶縁膜を介して電荷のトンネリングを行い、絶縁膜上のフローティングゲート電極の電荷量を変化させることにより、トランジスタのしきい値電圧を変化させ、情報を記憶させることを原理とするものである。こうしたフローティングゲート型不揮発性メモリトランジスタを EEPROM に適用するためには、そのメモリトランジスタを選択するための電界効果型トランジスタを同一基板内に共存させる必要があり、通常第3図に示すような断面構造が用いられている。すなわち、第3図に示すごとく P型のシ

リコン基板 1 の中に N型拡散層 2, 3, 4 が形成され、N型拡散層 2, 3 および同 3, 4 にまたがってゲート絶縁膜となる比較的厚い酸化シリコン膜 5, 6 が形成されるとともに、酸化シリコン膜 6 の一部分のみを開孔し、この開孔部にトンネリング媒体となりうる 100 \AA 程度の薄い酸化シリコン膜 7 が形成され、酸化シリコン膜 6, 7 の上にフローティングゲート電極 8 が形成され、また酸化シリコン膜 5 上に選択ゲート電極 9 が形成され、さらにフローティングゲート電極 8 上に酸化シリコン膜 10 を介してコントロールゲート電極 11 が形成された構造となっていた。しかしながら、このような構造のメモリセルにおいては、1つのメモリセルを2つのトランジスタによって構成しなければならぬため、メモリセル面積を縮小するには限度があり、EEPROM の高集積化が極めて困難であるといった問題点を有していた。

近年、こうした問題を解決するために、第4図に示すような1つのメモリセルを1つのトランジ

・スタで構成するスプリットゲート型の EEPROM メモリセルが提案されている (ジー・サマチサ (G. Samachisa) 他, IEEE J. Solid-State Circuits, SC-22, 第5号, 第676ページ, 1987)。第4図において、1はP型シリコン基板、12および13はソースおよびドレイン領域となりうる N型拡散層、14はトンネリング媒体となりうる 100 \AA 程度の薄い酸化シリコン膜、15はフローティングゲート電極、16はゲート絶縁膜および層間絶縁膜となる酸化シリコン膜、17はコントロールゲート電極である。第4図に示すごときスプリットゲート型の EEPROM メモリセルの書き込みの場合は、紫外線消去型の EPROM (Erasable and Programmable ROM) のメモリセルと同様に、コントロールゲート電極 17 とドレイン領域となる N型拡散層 13 に $10\sim15\text{ V}$ 程度の高電圧を印加し、N型拡散層 13 側からフローティングゲート電極 15 へのホットエレクトロン注入により書き込みを行なう。一方、消去動

作はコントロールゲート電極 17 に 0 V 、N型拡散層 13 に $10\sim15\text{ V}$ 程度の高電圧を印加し、フローティングゲート電極 15 と N型拡散層 13 とのオーバーラップ部の薄い酸化シリコン膜 14 を介して、フォーラーノルドハイムトンネリングにより電荷を引き抜くことにより行なう。また、この消去動作は、フォーラーノルドハイムトンネリング機構を用いているため、消去の際にフローティングゲート電極 15 から電荷を引き抜き過ぎる現象、すなわちオーバー・イレース現象が起これ、フローティングゲート電極 15 下のチャネル領域がディブレッシュモードとなってしまう。そこで、読み出し時に非選択のメモリセルに電流が流れないようにするために、エンハンスマントモードの MOS トランジスタを同一層のコントロールゲート電極 17 で形成できるようにしたスプリットゲート型の構造となっている。

発明が解決しようとする課題

しかしながら、第4図のごとき従来のスプリット型 EEPROM メモリセルにおいては、消去の

既にフローティングゲート電極-ドレイン間にトンネリング電流を流すため、ドレイン領域となるN型拡散層13に通常10-15V以上の高電圧を印加する必要があり、そのためドレイン領域となるN型拡散層13の拡散耐圧を確保する必要がある。しかしながら、N型拡散層13の耐圧を高く設定すると、書き込み時のホットエレクトロンの発生確率が少なくなり、書き込み速度が非常に遅くなってしまうといった問題点を有していた。本発明は、上記従来の問題を解決すべく考案されたものであり、消去のためのドレイン拡散耐圧を確保すると同時に、書き込み時のホットエレクトロンの発生も確保できる半導体記憶装置およびその製造方法を提供することを目的とするものである。

課題を解決するための手段

本発明の半導体記憶装置は、一導電型の半導体基板と、前記半導体基板表面に形成された前記半導体基板と逆導電型の第1および第2の拡散層と、前記第2の拡散層を少なくとも含むように形

成された第3の拡散層と、前記第1の拡散層の前記第2の拡散層側の側端と前記第2の拡散層の前記第1の拡散層側の側端間に少なくとも形成された第1及び第2の絶縁膜と、前記第2の絶縁膜上に形成された第1の電極と、前記第1の絶縁膜上に形成された第2の電極を備え、前記第2の絶縁膜が、前記第1の拡散層の前記第3の拡散層側の側端間の一部と前記第2の拡散層の前記第1の拡散層側の側端間の一部に少なくとも形成されている。

また、本発明の方法は、半導体基板主面上の所定領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の電極を形成する工程と、前記半導体基板正面の所定領域にレジストを形成する工程と、前記半導体基板正面の全面にイオン注入を行い第1の拡散層を形成する工程と、前記半導体基板正面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第2の電極を形成する工程と、前記半導体基板正面全面にイオン注入する工程を備えている。

作用

本発明のごとき半導体記憶装置の構造および製造方法においては、ドレイン領域部に深い第3の拡散層を設けることにより、ドレイン領域部の拡散耐圧を決定している大きな要因の一つである拡散層の形状効果が緩和され、消去時に必要な高耐圧を確保することが容易となる。また同時に、この深い第3の拡散層はフローティングゲート電極下に深く入り込んでいるため、フローティングゲート電極下のチャネル長が、リソグラフィーの加工精度で決定されるフローティングゲート電極の寸法に依存せず、リソグラフィーの加工精度以下の極めて短いチャネル長を形成することができ、書き込み時のホットエレクトロンの発生確率を高めることができ、高速書き込みが実現できる。

さらに、本発明の製造方法においては、深い第3の拡散層をフローティングゲート電極をマスクとして、自己整合的に形成するため、製造時におけるフローティングゲート電極下の極めて短い

チャネル長のばらつきがほとんどなく、安定した高速書き込み特性を得ることが可能となる。

実施例

以下、本発明の具体的な実施例を図面を用いて説明する。

第1図は、本発明の一実施例である半導体記憶装置の断面構造図である。図において、1はP型シリコン基板、12および13はN型拡散層、18はN型拡散層13を含みN型拡散層13の外側に位置するよう設けた深いN型拡散層である。また14はトンネリング媒体となりうる約100Åの薄い酸化シリコン膜、15はポリシリコン膜よりなるフローティングゲート電極、16は第2のチャネル領域20上に形成されたゲート絶縁膜およびフローティングゲート電極15を電気的に絶縁させた層間絶縁膜となる酸化シリコン膜、17はポリシリコン膜よりなるコントロールゲート電極である。

第1図に示すように本発明は、従来のドレイン領域となるN型拡散層13を含み、その外側に位

置するような深いN型拡散層18が設けられた構造となっており、フローティングゲート電極15下のチャネル長がフローティングゲート電極15の寸法に依存せず、深いN型拡散層18の拡散深さにより決定されるようになっている。

第1図に示すごとき本発明の半導体記憶装置の書き込み原理は、従来のメモリセルと同じであり、書き込み時はコントロールゲート電極17とN型拡散層13に10～15Vの高電圧を印加し、フローティングゲート電極15へのホットエレクトロン注入により実施するが、深いN型拡散層18がフローティングゲート電極15下にも深く入り込んだ構造となっているため、フローティングゲート電極15下のチャネル長は、従来のメモリセルのようにフローティングゲート電極15の寸法に依存せずに、深い拡散層の拡散深さにより決定され、従来のメモリセルよりも極めて短いチャネル長が可能となり、書き込み時にホットエレクトロンの発生確率を高めることができる。

また、消去動作においても、従来のメモリセル

と同様にドレイン領域となるN型拡散層13に10～15Vの高電圧を印加し、フローティングゲート電極15から電荷をフォラーーノルドハイムトンネリングにより引き抜くことにより実施するが、深いN型拡散層18によりドレイン領域部の拡散耐圧を決定している大きな要因の一つである拡散層の形状効果が緩和され、消去に必要な高耐圧を確保することができる。

このような半導体記憶装置においては、ドレイン領域部に深い第3の拡散層を設けることにより、ドレイン領域部の拡散耐圧を決定している大きな要因の一つである拡散層の形状効果が緩和され、消去時に必要な高耐圧を確保することが容易となる。また同時に、この深い第3の拡散層はフローティングゲート電極下に深く入り込んでいるため、フローティングゲート電極下のチャネル長が、リソグラフィーの加工精度で決定されるフローティングゲート電極の寸法に依存せず、リソグラフィーの加工精度以下の極めて短いチャネル長を形成することができ、書き込み時のホットエ

レクトロンの発生確率を高めることができ、高速書き込みが実現できる。

つぎに、本発明の製造方法の一実施例について、図面を用いて説明する。

第2図は、本発明の製造方法の一実施例を示した工程顕断面図である。

まず、第2図(A)に示すようにP型シリコン基板1上に、トンネリング媒体となりうる薄い酸化シリコン膜14を通常のシリコン基板の酸化により形成する。トンネリング効果を有効に利用するには、薄い酸化シリコン膜14の厚さを50～150Å程度にする必要があるが、本実施例では900℃、アルゴン希釈下のドライ酸化により100Åの厚さとした。ついで、薄い酸化シリコン膜14上にリンをドープ(約 $3 \times 10^{20} \text{ cm}^{-2}$)した第1のポリシリコン膜を公知の気相成長法により約4000Å形成する。その後、公知のフォトエッチング技術によりゲート絶縁膜となる薄い酸化シリコン膜14と第1のポリシリコン膜よりなるフローティングゲート電極15を形成する。

また、本実施例では、フローティングゲート電極の幅は1.2μmとした。

つぎに、第2図(B)に示すように、フローティングゲート電極15とフォトレジスト21をマスクとして、自己整合技術によりリンイオンを打ち込み(50KeV, $5 \times 10^{14} \text{ cm}^{-2}$)、その後フォトレジスト21を除去後、高温熱処理によりドライブインを行ない深いN型拡散層18を形成する。この工程により、深いN型拡散層18はフローティングゲート電極15下に深く入り込むため、深いN型拡散層18の拡散深さによりフローティングゲート電極15下のチャネル長が決定される。また、深いN型拡散層18の拡散深さはドライブインの温度、時間により自由に制御できるため、フローティングゲート電極15下のチャネル長を自由に制御できる。本実施例では、1100℃の高温熱処理によりドライブインを行ない、約1μmの拡散深さのN型拡散層18を形成し、フローティングゲート電極15下のチャネル長を約0.5μmとなるようにした。

つぎに、第2図(C)に示すように、P型シリコン基板1およびフローティングゲート電極15上に、ゲート絶縁膜およびフローティングゲート電極15を電気的に絶縁する層間絶縁膜となる酸化シリコン膜16を形成する。本実施例では1000°Cの酸化雰囲気中で酸化し、P型シリコン基板1上で約300Å、ポリシリコン膜からなるフローティングゲート電極15上で450Åとなるように形成した。

つぎに、第2図(D)に示すように酸化シリコン膜16上に、公知の気相成長法によりリンをドープ(約 $3 \times 10^{20} \text{ cm}^{-3}$)した第2のポリシリコン膜を約4000Å形成し、その後公知のフォトエッチング技術によりポリシリコン膜よりなるコントロールゲート電極17を形成する。その後、イオン注入法により砒素イオンを打ち込み(50KeV, $5 \times 10^{15} \text{ cm}^{-2}$)ソース、ドレイン領域となるN型拡散層12, 13を形成する。ついで、公知の気相成長法により、酸化シリコン膜22を全面に被着した後、ソース、ドレインの押し込みと、

レクトロンの発生確率を高めることができが可能となり、高速書き込みが実現できる。

さらに、深い第3の拡散層をフローティングゲート電極をマスクとして、自己整合的に形成するため、製造時におけるフローティングゲート電極下の極めて短いチャネル長のばらつきがほとんどなく、安定した高速書き込み特性を得ることが可能となる。

発明の効果

以上説明したところから明らかなように、本発明のごとき構造の半導体記憶装置およびその製造方法によれば、フローティングゲート電極下のチャネル長が、従来のようにフローティングゲート電極の寸法で決定されず、ドレイン部のフローティングゲート電極下に深く入り込むように設けられた深い拡散層により決定されるようにしていくため、極めて短いチャネル長が容易に実現でき、高速書き込み動作が可能となる。また、ドレイン部に深い拡散層を有することより、消去に必要なドレイン領域部の高耐圧の確保も同時に可能

酸化シリコン膜22のち密化のために、1000°C、窒素雰囲気中で熱処理を行なう。最後にソース、ドレイン領域であるN型拡散層12, 13に電極を設けるために、酸化シリコン膜22に公知のフォトエッチング技術により、コンタクト孔を開孔し、アルミニウム電極23を形成し、第2図(D)に示すごとき半導体記憶装置を作製することができる。

以上のように製造方法においては、ドレイン領域部に深い第3の拡散層を設けることにより、ドレイン領域部の拡散耐圧を決定している大きな要因の一つである拡散層の形状効果が緩和され、消去時に必要な高耐圧を確保することが容易となる。また同時に、この深い第3の拡散層はフローティングゲート電極下に深く入り込んでいるため、フローティングゲート電極下のチャネル長が、リソグラフィーの加工精度で決定されるフローティングゲート電極の寸法に依存せず、リソグラフィーの加工精度以下の極めて短いチャネル長を形成することができ、書き込み時のホットエ

となる。さらに、深い拡散層を自己整合的に形成するため、フローティングゲート電極下の極めて短いチャネル長を製造のばらつきなく安定して実現でき、安定した高速書き込み特性を得ることが可能となる。

4、図面の簡単な説明

第1図は本発明の構造の一実施例を説明するための断面図、第2図は本発明の製造方法の一実施例を説明するための工程順断面図、第3図および第4図はそれぞれ従来の半導体記憶装置の構造を説明するための断面図である。

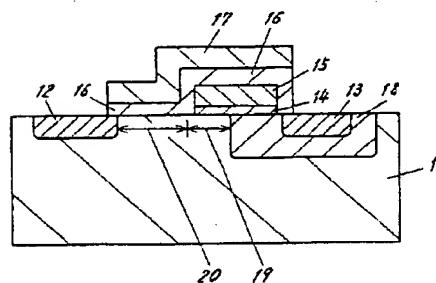
1 ……P型シリコン基板、2, 3, 4, 12, 13 ……N型拡散層、5, 6, 10, 22 ……酸化シリコン膜、7 ……薄い酸化シリコン膜、8, 15 ……フローティングゲート電極、9 ……選択ゲート電極、11, 17 ……コントロールゲート電極、14 ……トンネリング媒体となりうる薄い酸化シリコン膜、16 ……ゲート絶縁膜および層間絶縁膜となる酸化シリコン膜、18 ……深いN型拡散層、19 ……第1のチャネル領域、20 ……

第2のチャネル領域、21……フォトレジスト、
23……アルミニウム電極。

代理人の氏名 井理士 粟野重孝 ほか1名

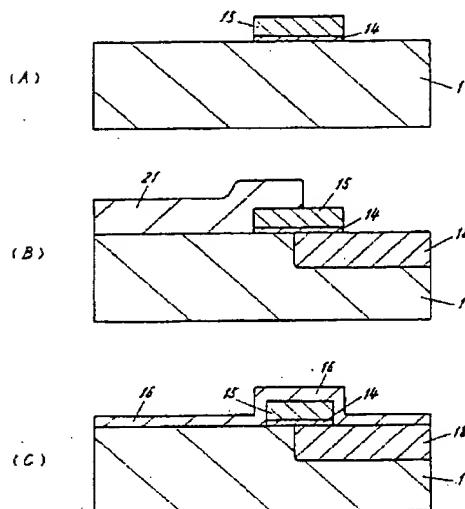
第1図

1…P型シリコン基板
12,13…N型拡散層
14…トンネリングゲート媒体となりうる
薄い酸化シリコン膜
15…フローティングゲート電極
16…ゲート絶縁膜および層間絶縁膜
となる酸化シリコン膜
17…コントロールゲート電極
18…深いN型拡散層
19…第1のチャネル領域
20…第2のチャネル領域

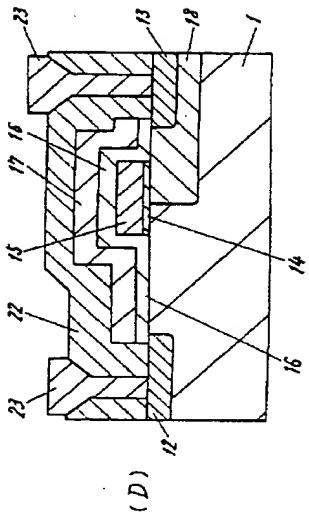


第2図

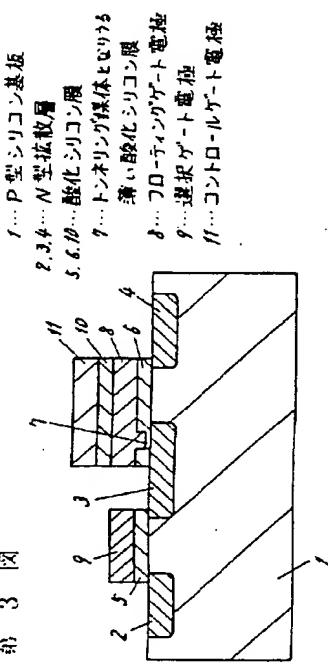
1…P型シリコン基板
12,13…N型拡散層
14…薄い酸化シリコン膜
15…フローティングゲート電極
16…ゲート絶縁膜および層間絶縁膜
となる酸化シリコン膜
17…コントロールゲート電極
18…深いN型拡散層
19…酸化シリコン膜
20…アルミニウム電極



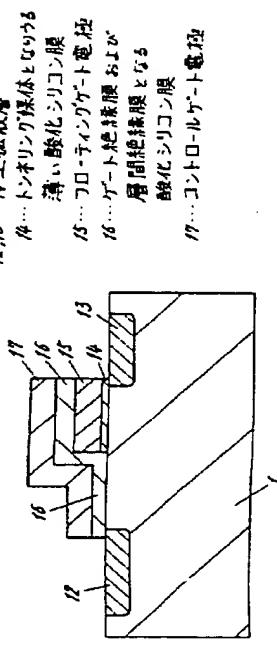
第2図



第3図



第4図



THIS PAGE BLANK (USPTO)